



<Translation>

**THE KOREAN INTELLECTUAL  
PROPERTY OFFICE**

This is to certify that the following application annexed hereto is  
a true copy from the records of the Korean Intellectual Property Office.

Application Number: 2003 Patent Application No. 73097

Date of Application: October 20, 2003

Applicant(s): SAMSUNG ELECTRO-MECHANICS CO., LTD.

On this 27th day of October, 2003

**COMMISSIONER**



<Translation>

## APPLICATION FOR PATENT REGISTRATION

Application Number: 2003-73097

Application Date: October 20, 2003

Title of Invention: PARALLEL MULTI-LAYER PRINTED CIRCUIT BOARD HAVING IMPROVED INTERCONNECTION AND METHOD FOR MANUFACTURING THE SAME

Applicant(s): SAMSUNG ELECTRO-MECHANICS CO., LTD.

Attorney Name: LEE & PARK Patent & Law Firm

Inventor(s):

1. Jee-Soo MOK
2. Byung-Kook SUN
3. Chang-Kyu SONG
4. Geum-Hee YUN
5. Tae-Hoon KIM

The above Application for Patent Registration is hereby made pursuant to Articles 42 and 60 of the Korean Patent Law.



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0073097  
Application Number

출원년월일 : 2003년 10월 20일  
Date of Application OCT 20, 2003

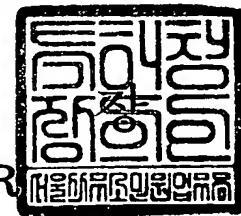
출원인 : 삼성전기주식회사  
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003년 10월 27일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003. 10. 20
【발명의 명칭】	층간 전기 접속이 향상된 병렬적 다층 인쇄회로기판 제조 방법
【발명의 영문명칭】	Method for fabricating the multi layer printed circuit board in parallel with improved interconnection
【출원인】	
【명칭】	삼성전기주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【명칭】	청운특허법인
【대리인코드】	9-2002-100001-8
【지정된변리사】	이철, 이인실, 최재승, 신한철
【포괄위임등록번호】	2002-065077-1
【발명자】	
【성명의 국문표기】	목지수
【성명의 영문표기】	MOK, Jee Soo
【주민등록번호】	700430-1110011
【우편번호】	361-815
【주소】	충청북도 청주시 흥덕구 복대동 2459번지 두진백로아파트 103동 405 호
【국적】	KR
【발명자】	
【성명의 국문표기】	선병국
【성명의 영문표기】	SUN, Byung Kook
【주민등록번호】	620505-1530326
【우편번호】	158-755
【주소】	서울특별시 양천구 목5동 목동5단지아파트 509동 303호
【국적】	KR
【발명자】	
【성명의 국문표기】	송창규
【성명의 영문표기】	SONG, Chang Kyu

【주민등록번호】	701115-1405521		
【우편번호】	300-836		
【주소】	대전광역시 동구 흥도동 89-13		
【국적】	KR		
【발명자】			
【성명의 국문표기】	윤금희		
【성명의 영문표기】	YUN, Geum Hee		
【주민등록번호】	781203-2405414		
【우편번호】	440-827		
【주소】	경기도 수원시 장안구 을전동 415-1 303호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	김태훈		
【성명의 영문표기】	KIM, Tae Hoon		
【주민등록번호】	641031-1056517		
【우편번호】	305-762		
【주소】	대전광역시 유성구 전민동 엑스포아파트 410동 1403호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 청운특허법인 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	15	면	15,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	13	항	525,000 원
【합계】	569,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 다층 인쇄회로기판의 제조 방법에 관한 것이다. 보다 구체적으로, 본 발명은 다층 인쇄회로기판의 층간 접속 공정에 있어서 내벽이 도금된 회로층의 비아홀은 별도의 도금 공정이나 도전성 페이스트 충진 공정을 거치지 않고, 절연층의 비아홀에 도전성 페이스트를 충진한 뒤 일괄적으로 적층함으로써 회로층의 비아홀과 절연층의 비아홀이 연결되도록 한 다층 인쇄회로기판 제조 방법에 관한 것이다.

**【대표도】**

도 8

**【색인어】**

일괄 적층, 병렬적, 인쇄회로기판, 다층, 층간 접속

**【명세서】****【발명의 명칭】**

층간 전기 접속이 향상된 병렬적 다층 인쇄회로기판 제조 방법{Method for fabricating the multi layer printed circuit board in parallel with improved interconnection}

**【도면의 간단한 설명】**

도1a 내지 도1d는 종래의 소위 병렬적 다층 인쇄회로기판 제조 방법에서, 다층 인쇄회로기판을 구성하는 층 중 회로층 형성 방법을 나타낸다.

도2a 내지 도2d는 본 발명에 따른 병렬적 다층 인쇄회로기판에서, 회로층 사이에 삽입되는 절연층 형성 방법을 나타낸다.

도3은 종래의 병렬적 다층 인쇄회로기판 제조 방법에서 회로층과 절연층을 교대로 배치한 상태의 단면을 나타낸다.

도4는 종래의 병렬적 다층 인쇄회로기판 제조 방법에 따라 완성된 6층짜리 인쇄회로기판의 단면을 나타낸다.

도5a 내지 도5e는 본 발명의 일실시예에 따른 병렬적 다층 인쇄회로기판 제조 방법에서 회로층 형성 방법을 나타낸다.

도6a 내지 도6d는 본 발명에 따른 병렬적 다층 인쇄회로기판에서, 일 실시예에 따른 절연층 형성 방법을 나타낸다.

도7a 내지 도7d는 본 발명에 따른 병렬적 다층 인쇄회로기판에서, 다층 인쇄회로기판을 구성하는 층 중 절연층 형성 방법의 또다른 실시예를 나타낸다.

도8은 본 발명의 병렬적 다층 인쇄회로기판 제조 방법에서 적층을 위해 회로층과 절연층을 교대로 배치한 상태의 단면을 나타낸다.

도9는 본 발명의 병렬적 다층 인쇄회로기판 제조 방법에서 적층이 완료된 인쇄회로기판의 단면도를 나타낸다.

도10은 본 발명의 병렬적 다층 인쇄회로기판 제조 방법에 따라 완성된 인쇄회로기판의 단면도를 나타낸다.

#### ※ 도면의 주요 부분에 대한 설명

501 : 동박적층판 502 : 동박

503 : 보강기재 504 : 비아홀

505 : 무전해 및 전해 동도금층 506a, 506b, 506c : 회로층

601 : 평판형 절연재 602 : 이형 필름

603 : 반경화 상태의 수지 604 : 완전경화 상태의 수지

605 : 비아홀 606 : 도전성 페이스트

607 : 절연층

701 : 평판형 절연재 702 : 이형 필름

703 : 프리플렉 704 : 비아홀

705 : 도전성 페이스트 706 : 절연층

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<22> 본 발명은 병렬 방식의 다층 인쇄회로기판의 제조 방법에 관한 것이다. 보다 구체적으로, 본 발명은 병렬 방식 또는 일괄 적층식의 다층 인쇄회로기판의 충간 접속에 있어서 내벽이 도금된 회로층의 비아홀은 별도의 충진 도금 공정이나 도전성 페이스트 충진 공정을 거치지 않고, 절연층의 비아홀에는 도전성 페이스트를 충진한 뒤 일괄적으로 적층하여 압착함으로써 회로층의 비아홀과 절연층의 비아홀이 접속되도록 한 다층 인쇄회로기판 및 그 제조 방법에 관한 것이다.

<23> 전자제품이 소형화, 박판화, 고밀도화, 팩키지(package)화 및 개인휴대화로 경박 단소화되는 추세에 따라 다층 인쇄회로기판 역시 미세패턴(fine pattern)화, 소형화 및 팩키지화가 동시에 진행되고 있다. 이에 다층 인쇄회로기판의 미세패턴 형성, 신뢰성 및 설계밀도를 높이기 위해 원자재의 변경과 함께 회로의 층구성을 복합화하는 구조로 변화하는 추세이고, 부품 역시 DIP(Dual In-Line Package) 타입에서 SMT(Surface Mount Technology) 타입으로 변경되면서 그 실장밀도 역시 높아지고 있는 추세이다. 또한 전자기기의 휴대화와 더불어 고기능화, 인터넷, 동영상, 고용량의 데이터 송수신 등으로 인쇄회로기판의 설계가 복잡해지고 고난이도의 기술을 요하게 된다.

<24> 인쇄회로기판에는 절연기판의 한쪽 면에만 배선을 형성한 단면 PCB, 양쪽 면에 배선을 형성한 양면 PCB 및 다층으로 배선한 MLB(다층 인쇄회로기판;Multi Layered Board)가 있다. 과거에는 부품 소자들이 단순하고 회로 패턴도 간단하여 단면 PCB를 사용하였으나, 최근에는

회로의 복잡도 증가하고 고밀도 및 소형화 회로에 대한 요구가 증가하여 대부분 양면 PCB 또는 다층 인쇄회로기판을 사용하는 것이 일반적이다. 본 발명은 이들 중 다층 인쇄회로기판의 제조 방법에 관한 것이다.

<25> MLB는 배선 영역을 확대하기 위해 배선이 가능한 층을 추가로 형성한 것이다. 구체적으로, MLB는 내층과 외층으로 구분되며 내층의 재료로서 박판코어(Thin Core; T/C)를 사용하고, 외층과 내층을 프리플렉으로 접착한 구조의 4층 MLB(내층 2층, 외층 2층)가 기본이다. 즉, 다층 인쇄회로기판은 최소 4층 이상이다. 회로의 복잡도 증가함에 따라 6층, 8층, 10층 또는 그 이상으로 구성되기도 한다.

<26> 내층에는 전원회로, 접지회로, 신호회로 등을 형성하며, 내층과 외층간 또는 외층 사이에는 프리플렉을 끼워 넣어 절연과 접착을 행한다. 이때, 각 층의 배선은 비아홀(도통홀)을 이용하여 연결한다.

<27> MLB는 배선밀도를 획기적으로 늘릴 수 있다는 큰 장점이 있으나, 그 만큼 제조 공정이 복잡하게 되는 단점이 있다. 특히 내층은 내층 회로를 형성하고 그 위에 단계적으로 추가적인 층들을 쌓아가는 소위 빌드업(build-up) 방식에 따른 제조 방법의 경우 공정이 완료되면 변형이 불가능하므로 내층에 오류가 있는 경우 완성된 모든 제품이 불량으로 되어 버린다. 이러한 오류를 미연에 방지하기 위해서는 많은 검사장치가 요구된다.

<28> 도1a 내지 도1d는 종래의 소위 병렬적 다층 인쇄회로기판 제조 방법, 또는 일괄 적층 방식의 다층 인쇄회로기판 제조 방법에서, 다층 인쇄회로기판을 구성하는 층 중 회로 패턴을 포함하는 회로층을 제조하는 방법을 나타낸다. 회로층에 비아홀을 가공한 후 도금에 의해 비아홀을 충진함으로써 회로층과 절연층 또는 다른 회로층의 비아홀과 전기적으로 접속시키게 된다.

<29> 도1a는 인쇄회로기판의 제조에 있어서 베이스 기판으로 사용되는 동박적층판(101)을 나타낸다. 동박적층판(101)은 통상적으로 보강기재(103) 및 그 양쪽에 입혀진 동박(102)으로 구성된다.

<30> 도1b에서, 동박적층판(101)에 비아홀(104)을 가공한다. 비아홀은 YAG 또는 CO<sub>2</sub>레이저, 또는 기계적 드릴링을 사용하여 직경을 50-100 $\mu\text{m}$  정도로 가공한다. 통상적인 다층 인쇄회로기판에서 비아홀의 직경은 200-300 $\mu\text{m}$ 이나, 이와 같이 비아홀의 직경을 작게하면 추가적인 페이스트의 플러깅 처리 과정없이 비아홀(104)의 내부를 도금에 충진할 수 있다.

<31> 도1c에서, 비아홀(104)이 가공된 동박적층판(101)에 무전해 도금 및 전해 도금에 의해 동박적층판(101)의 상면, 하면 및 비아홀(104)의 내벽을 도금한다. 도1c에 도시된 바와 같이, 기판의 상면 및 하면에는 도금층(105)이 형성되고, 비아홀(104)은 도금에 의해 충진된다.

<32> 이와 같이, 별도의 충진 공정없이 도금에 의해 비아홀(104)의 내부를 충진하여 충간을 도통하는 방법도 가능하지만, 비아홀(104)의 내벽을 도금하고 별도의 도전성 페이스트 충진 공정에 의해 비아홀(104)의 내부를 충진하는 방법도 사용된다.

<33> 도1d에서, 에칭 등의 회로 패턴 형성 방법을 사용하여 회로 패턴을 형성한다. 이렇게 형성된 회로층(106)은 소위 병렬적 또는 일괄 적층식 다층 인쇄회로기판 제조 방법에서 도3의 회로층(106a, 106b, 106c)으로 사용될 수 있다.

<34> 이와 같이 가공된 회로층은 도3의 회로층(106a, 106b, 106c) 중 하나로 사용되며, 회로층에는 절연층들과의 결합을 고려하여 비아홀 및 회로 패턴이 설계된다.

<35> 또한, 제조하고자 하는 다층 인쇄회로기판의 층수에 따라 필요한 회로층 및 절연층의 수가 결정된다. 예컨대, 4층 인쇄회로기판에서는 2개의 회로층이 필요하게 되며, 6층 인쇄회로기판에서는 3개, 8층에서는 4개의 회로층이 필요하다.

<36> 도2a 내지 도2d는 종래의 병렬적 다층 인쇄회로기판 제조 방법에서, 회로층 사이에 삽입되는 절연층을 형성하는 방법을 나타낸다.

<37> 도2a에는 프리플렉(203)의 양면에 폴리 에스테르 재질의 이형 필름(202)이 부착된 평판형 절연재(201)가 도시되어 있다.

<38> 프리플렉(203)의 두께는 제품의 사양에 따라 선택적으로 사용할 수 있으며, 이형 필름(202)의 두께는 20-30 $\mu\text{m}$ 로 프리플렉 제작 당시에 이미 부착되어 있는 것을 사용할 수도 있고 경우에 따라서는 프리플렉(203)에 이형 필름(202)을 접착하여 사용하여도 된다.

<39> 도2b에서, 평판형 절연재(201)에 드릴링에 의해 비아홀(204)을 가공한다. 이때 비아홀(204)은 통상적으로 기계적 드릴링에 의해 가공한다. 비아홀(204)의 직경은 회로층과의 접속을 고려하여 회로층에 형성된 비아홀의 직경보다 약간 크게 된다.

<40> 전술한 회로층 가공 방법 중 도1a 내지 도1d를 참조하여 설명된 비아홀(104)을 도금에 의해 충진시키는 방법으로 제조된 회로층(106)과 접속되는 절연층의 비아홀은 직경 약 100 $\mu\text{m}$ 정 도로 가공한다.

<41> 도2c에서, 비아홀(204)을 도전성 페이스트(205)로 충진하고, 도2d에서, 이형 필름(202)을 제거한다.

<42> 마찬가지로, 이렇게 형성된 절연층(206)은 도3의 절연층(206a, 206b) 중 하나로 사용된다.

<43> 절연층도 결합될 회로층의 비아홀을 고려하여 그 비아홀의 위치 및 크기가 설계되어야 한다. 또한, 절연층의 수도 제조하고자 하는 다층 인쇄회로기판의 층수에 따라 결정된다. 예컨대, 4층 인쇄회로기판에서는 1개, 6층 인쇄회로기판에서는 2개, 8층에서는 3개의 절연층이 필요하다. 이는 소위 빌드업 방식의 제조 방식에서, 4층 인쇄회로기판에는 2층의 절연층, 6층 인쇄회로기판에서는 4층의 절연층이 존재하는 것과 다르다.

<44> 도3에 도시된 바와 같이, 도1a 내지 도1d 도시된 방법에 의해 형성된 회로층(106a, 106b, 106c)과, 도2a 내지 도2d에 도시된 방법에 의해 형성된 절연층(206a, 206b)을 교대로 배치한다.

<45> 배치된 층들을 비아홀들이 정확하게 매칭되도록 맞추기 위해 타겟팅 또는 핀(pin) 정합 방법 등이 사용된다.

<46> 타겟팅이란 기판의 적층 후에 드릴 가공의 기준점인 내층의 '타깃 가이드 마크'에 타겟 구멍을 가공하는 공정으로 보통 X-Ray에 의한 타겟 드릴을 사용한다.

<47> 핀(Pin) 정합 방법이란 층간정합의 기준이 되는 홀 즉, 가이드 홀을 비아홀 가공시 다수의 기판 상의 동일한 소정의 위치에 가공하여 레이업(Lay-Up)할때 핀(Pin)에 홀이 가공된 회로층, 절연층을 삽입하여 회로층과 절연층 위치를 정합하는 방식을 말한다.

<48> 그리고 나서, 도3에 도시된 바와 같이, 배열된 회로층 및 절연층을 도시된 화살표 방향으로 압축 프레스로 압착하여 한꺼번에 적층하면 도4에 도시된 바와 같은 6층 짜리 다층 인쇄회로기판이 완성된다.

<49> 그리고 나서, 적층이 완료된 기판의 가장자리에 흘러나온 수지와 동박을 다튼어 제품의 굵힘 및 안전사고를 예방하기 위한 트리밍 처리 등의 후처리가 행해진다.

<50> 소위 빌드업 방식으로 제조된 다층 인쇄회로기판의 경우는, 하나의 양면 인쇄회로기판에 절연층이 적층되고 그 위에 단면 인쇄회로기판이 차례로 적층된 구조를 갖게 되지만, 병렬 방식 또는 일괄적층 방식의 제조 방법에 따라 제조된 다층 인쇄회로기판의 경우에는 복수개의 양면 인쇄회로기판이 절연층을 사이에 두고 연속적으로 적층된 구조를 갖는다.

<51> 이러한 차이점에 의해 그 단면을 살펴보면 완성된 인쇄회로기판이 어떠한 제조 방식으로 제조되었는지 판별할 수 있다.

<52> WO2001/39267호는 절연기재의 한쪽 또는 양쪽에 회로가 형성된 기본층의 양쪽으로 접착층을 사이에 두고 단면 인쇄회로기판을 여러장 적층한 뒤 이를 일괄적으로 프레스 압착하여 다층인쇄회로기판을 제조하는 방법을 개시하고 있다.

<53> 이 문헌에 개시된 방법에 의해 제조된 다층인쇄회로기판의 단면은 빌드업 방식에 의해 제조된 기판의 단면과 동일하고, 절연기재를 반경화 상태의 프리프렉이 사용되지 않고 완전 경화된 절연성 기재가 사용된다.

<54> 본 발명에서는 상기 문헌에 개시된 방법보다 더 단순화되고 개선된 형태의 일괄 적층에 의한 다층 인쇄회로기판 제조 방법을 제공하고자 한다.

#### 【발명이 이루고자 하는 기술적 과제】

<55> 본 발명은 회로층의 충진을 위한 도금 공정 또는 페이스트 플러깅 공정을 생략함으로써 종래의 다층 인쇄회로기판 제조 방법에 비해 원가가 절감되고, 공정에 소요되는 시간이 단축된 다층 인쇄회로기판 및 그 제조 방법을 제공하는 것을 목적으로 한다.

<56> 또한, 본 발명은 층간의 페이스트와 동박부 접속에 있어서 회로층과 절연층의 비아홀간의 접촉 면적을 증가시킴으로써 전기 전도도 및 접합 신뢰성을 향상된 수 있는 다층 인쇄회로기판 및 그 제조 방법을 제공하는 것을 목적으로 한다.

#### 【발명의 구성 및 작용】

<57> 본 발명에 따른 다층 인쇄회로기판 제조 방법은,

<58> A. (a) 동박적층판에 비아홀을 가공하는 단계; (b) 상기 동박적층판 및 비아홀의 내벽을 동도금하는 단계; 및 (c) 상기 동박적층판에 회로 패턴을 형성하는 단계를 포함하는 소정 수의 회로층을 형성하는 단계;

<59> B. (a) 이형필름이 부착된 평판형 절연재에 비아홀을 가공하는 단계; (b) 상기 비아홀을 도전성 페이스트로 충진하는 단계; 및 (c) 상기 이형 필름을 제거하는 단계를 포함하는 소정 수의 절연층을 형성하는 단계; 및

<60> C. 상기 회로층과 절연층을 교대로 기(既) 설정된 위치에 배치하는 단계;

<61> D. 상기 배치된 회로층 및 절연층을 압착하는 단계; 및

<62> E. 상기 압착된 기판의 최외각층에 회로 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

<63> 보다 바람직하게는, 본 발명에 따른 병렬적 다층 인쇄회로기판 제조 방법에서, 상기 회로층을 형성하는 단계는, 최외각층에 배치될 회로층에는 한쪽면에만 회로 패턴을 형성하고, 내층에 배치될 회로층에는 양쪽면에 회로패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

<64> 보다 바람직하게는, 본 발명에 따른 병렬적 다층 인쇄회로기판 제조 방법에서, 상기 회로층을 형성하는 단계는, 표면 처리하는 단계를 더 포함하는 것을 특징으로 한다.

<65> 보다 바람직하게는, 본 발명에 따른 병렬적 다층 인쇄회로기판 제조 방법은, 드릴 가공의 기준점인 내층의 '타깃 가이드 마크'에 타겟 구멍을 가공하는 단계를 더 포함하는 것을 특징으로 한다.

<66> 보다 바람직하게는, 본 발명에 따른 병렬적 다층 인쇄회로기판 제조 방법에서, 상기 회로층 및 절연층의 비아홀을 가공하는 단계는 층간정합의 기준이 되는 가이드 홀을 상기 복수의 층의 동일한 위치에 가공하는 단계를 포함하는 것을 특징으로 하는 병렬적 다층 인쇄회로기판 제조 방법.

<67> 보다 바람직하게는, 본 발명에 따른 병렬적 다층 인쇄회로기판 제조 방법에서, 상기 이형 필름의 두께는  $20\mu\text{m}$  이상인 것을 특징으로 한다.

<68> 보다 바람직하게는, 본 발명에 따른 병렬적 다층 인쇄회로기판 제조 방법에서, 상기 도전성 페이스트는 주석 성분이 함침된 금속 결합형 도전성 페이스트인 것을 특징으로 한다.

<69> 보다 바람직하게는, 본 발명에 따른 병렬적 다층 인쇄회로기판 제조 방법에서, 상기 도전성 페이스트는 점접촉형의 도전성 페이스트인 것을 특징으로 한다.

<70> 보다 바람직하게는, 본 발명에 따른 병렬적 다층 인쇄회로기판 제조 방법에서, 상기 평판형 절연재는 완전 경화 상태(c-stage)의 수지 양면에 적층된 반경화 상태(b-stage)의 수지층으로 구성되는 것을 특징으로 하는 다층 인쇄회로기판 제조 방법.

<71> 본 발명에 따른 다층 인쇄회로기판은, 각각 도전성 페이스트가 층진된 복수의 비아홀을 포함하는 복수의 회로층 및 복수의 절연층을 포함하며, 상기 회로층의 비아홀에 층진된 페이스트와 상기 절연층에 층진된 페이스트가 동일 공정에 의해 층진된 것을 특징으로 한다.

<72> 보다 바람직하게는, 본 발명에 따른 다층 인쇄회로기판은, 상기 도전성 페이스트는 주석 성분이 함침된 금속 결합형 도전성 페이스트인 것을 특징으로 한다.

<73> 보다 바람직하게는, 본 발명에 따른 다층 인쇄회로기판은, 상기 도전성 페이스트는 점접 촉형의 도전성 페이스트인 것을 특징으로 하는 한다.

<74> 이하, 도면을 참조하여 본 발명에 따른 병렬적 다층 인쇄회로기판 제조 방법을 보다 상세히 설명한다.

<75> 우선, 본 발명에 따른 병렬적 다층 인쇄회로기판 제조 방법에 따른 회로층 및 절연층 각각의 제조 방법을 살펴본다.

<76> 도5a 내지 도5e는 본 발명의 병렬적 다층 인쇄회로기판 제조 방법에서, 다층 인쇄회로기판을 구성하는 층 중 회로층을 제조하는 방법의 일 실시예를 나타낸다.

<77> 도5a는 인쇄회로기판의 제조에 있어서 베이스 기판으로 사용되는 동박적층판(501)을 나타낸다. 동박적층판(501)은 보강기재(503) 및 그 양쪽에 입혀진 동박(502)으로 구성된다.

<78> 동박적층판(501)은 그 보강기재에 따라 여러 종류로 분류되는데, 유리 섬유에 에폭시를 함침시킨 보강기재에 동박을 입힌 유리/에폭시 기판(FR-4), 유리섬유에 폴리이미드 및 BT 수지를 함침시킨 보강기재에 동박을 입힌 내열수지 동박적층판, 및 폴리 이미드 필름에 동박을 입힌 플렉시블 동박적층판 등 여러 가지 종류가 있으나, 유리/에폭시 기판(FR-4)이 가장 흔히 사용된다. 도1a의 동박적층판(501)으로는 FR-4 기판을 사용하여도 무방하지만, 인쇄회로기판의 응용예에 따라 적절한 것을 선택하여 사용할 수 있다.

<79> 도5b에 도시된 바와 같이, 동박적층판(501)에 비아홀(504)을 드릴링 가공한다. 이때 비아홀(504)의 직경은 약 0.1mm 정도로 가공한다.

<80> 그리고 나서, 도5c에 도시된 바와 같이, 무전해 동도금 및 전해 동도금을 행하여, 동박 적층판(501)의 양면 및 비아홀(504) 내벽에 동도금층(505)을 형성한다.

<81> 그리고 나서, 도5d에 도시된 바와 같이, 동박적층판(501)의 양면에 회로 패턴을 형성한다. 회로 패턴 형성은 에칭 레지스트 도포, 에칭 레지스트 패턴 형성 및 에칭 등의 공정을 거쳐 수행된다.

<82> 이와 같이 형성된 회로층(506a)은 도8의 내부에 배치되는 회로층(506a)으로 사용될 수 있다.

<83> 당업자라면 회로 패턴 형성 방법으로서 위와 같은 에칭에 의한 방법 이외에도 다양한 방법들이 사용될 수 있음을 이해할 수 있을 것이다.

<84> 도5e는 도5c에서 동도금층(505)의 형성이 완료된 기판의 아랫면에만 회로 패턴을 형성한 회로층(506b)을 나타낸다. 이와 같이 아랫면에만 회로 패턴이 형성된 회로층(506b)은 도8의 최상단에 배치된 회로층(506b)으로 사용된다.

<85> 도5f는 도5c에서 동도금층(505)의 형성이 완료된 기판의 윗면에만 회로 패턴을 형성한 회로층(506c)을 나타낸다. 이와 같이 윗면에만 회로 패턴이 형성된 회로층(506c)은 도8의 최하단에 배치되는 회로층(506c)으로 사용된다.

<86> 이와 같이 가공된 회로층은 본 발명에 따른 도8의 회로층(506a, 506b, 506c) 중 하나로 사용될 수 있으며, 본 발명에 따른 제조 방법에서 회로층의 회로 패턴은 절연층과의 결합을 고려하여 비아홀 및 회로 패턴들의 정확한 위치 및 치수가 미리 설계되어야 한다.

<87> 또한, 필요한 회로층의 수도 제조하고자 하는 다층 인쇄회로기판의 층수에 따라 결정된다. 예컨대, 4층 인쇄회로기판에서는 2개의 회로층이 필요하게 되며, 6층 인쇄회로기판에서는 3개, 8층에서는 4개의 회로층이 필요하다.

<88> 이하 본 발명에 따른 병렬적 다층 인쇄회로기판 제조 방법에서, 회로층들 (506a, 506b, 506c) 사이에 삽입될 절연층의 제조 방법을 설명한다.

<89> 도6a 내지 도6d는 본 발명에 따른 병렬적 다층 인쇄회로기판 제조 방법의 일 실시예에 따른 절연층 형성 방법을 나타낸다.

<90> 도6a에는 본 발명의 일 실시예에 따른 절연층의 베이스 기판으로 사용되는 평판형 절연재(601)의 단면이 도시되어 있다. 절연층은 3층으로 구성되는데, 완전 경화된 상태(c-stage)의 열경화성 수지(604)의 양면에 반경화 상태(b-stage)의 열경화성 수지(603)가 적층되고 그 위에 폴리 에스테르 재질의 이형 필름(602)이 입혀져 있다.

<91> 다층 인쇄회로기판에서 유전체인 수지로 구성되는 절연층은 회로층에 비해 큰 임피던스를 갖게 되고, 이 임피던스는 회로 동작에 영향을 미치게 된다. 이러한 절연층의 임피던스 값은 절연층의 두께 편차, 수지의 특성, 즉 유전율이나 질량 및 부피에 의해 영향을 받는데, 이와 같이 반 경화 상태의 수지를 한층 더 입힌 절연체를 사용하면 보다 임피던스를 보다 용이하게 제어할 수 있고, 본 발명에 따른 다층 인쇄회로기판의 제조 방법에 있어서 회로층과의 결합 시 보다 양호한 성형성을 확보할 수 있다.

<92> 열 경화성 수지층(603, 604)의 두께는 제품의 사양에 따라 선택적으로 사용할 수 있으며, 통상적인 이형 필름의 두께는  $20\mu\text{m}$  이하이지만, 본 발명에 따른 다층 인쇄회로기판 제조 방법의 절연층에 사용되는 이형 필름(602)은 두께가 약  $20\sim50\mu\text{m}$  범위의 것을 사용한다.

<93> 이형 필름(602)은 열 경화성 수지층(603,604)의 제작 당시에 이미 부착되어 있는 것을 사용할 수도 있고 또한, 열 경화성 수지층(603,604)을 차례로 적층하고 거기에 이형 필름(602)을 접착하여 사용하여 된다.

<94> 도6b에서, 상기 평판형 절연재(601)에 드릴링에 의해 비아홀(605)을 형성한다.

<95> 도6c에서, 비아홀(605)에 도전성 페이스트(606)를 충진하여 열경화시킨다. 이 때 충진되는 도전성 페이스트에는 페이스트 전체가 도전성을 갖는 물질로 이루어진 물리적 점접촉형의 페이스트, 접착성이 있는 수지에 금속 성분을 침투시킨 금속 결합형 페이스트를 사용할 수 있다.

<96> 이 중 금속 결합형 페이스트는 접착성이 있는 수지에 주석(Sn) 성분을 침투시킨 것으로서 열이 가해지면 비아홀 내벽 또는 회로 패턴을 구성하는 동박들과 주석 성분이 금속 결합을 일으키며 접속된다.

<97> 본 발명에 따른 절연층 형성에 있어서 절연층의 비아홀에 충진되는 도전성 페이스트로는 금속 결합형 페이스트를 사용하는 것이 바람직하다.

<98> 그리고 나서, 도6d에서 이형 필름(602)을 제거한다. 이형 필름(602)이 제거되면 열 경화성 수지(603) 위로 도전성 페이스트(606)가 돌출되게 되며 이때 돌출되는 도전성 페이스트의 높이는 이형 필름(602)의 두께에 따라 달라지게 된다.

<99> 본 발명에서 사용되는 이형 필름(602)은 그 두께가  $20\sim50\mu\text{m}$ 이며, 바람직하게는 약  $38\mu\text{m}$ 의 두께는 갖는 이형 필름(602)을 사용하며, 그에 따라 돌출되는 도전성 페이스트(606)의 높이도  $20\sim50\mu\text{m}$  바람직하게는 약  $38\mu\text{m}$ 가 된다.

<100> 이와 같은 공정에 의해 형성된 절연층(607)은 본 발명에 따른 도8의 회로층들 (506a, 506b, 506c) 사이에 삽입되는 절연층(607a, 607b) 중 하나로 사용될 수 있다.

<101> 도7a 내지 도7d는 본 발명에 따른 병렬적 다층 인쇄회로기판에서, 다층 인쇄회로기판을 구성하는 층 중 절연층 형성 방법의 또 다른 실시예를 나타낸다.

<102> 도7a에는 반 경화된 상태의 절연층 또는 프리플렉(703)의 양면에 이형 필름(702)이 부착된 형태의 평판형 절연재(701)가 도시되어 있다. 프리플렉의 두께는 제품의 사양에 따라 선택적으로 사용할 수 있으며, 전술한 바와 같이 이형 필름(702)의 두께는 20-50 $\mu\text{m}$ , 바람직하게는 38 $\mu\text{m}$ 로 절연층 또는 프리플렉 제작 당시에 이미 부착되어 있는 것을 사용할 수도 있고 경우에 따라서는 절연층 또는 프리플렉에 이형 필름(702)을 접착하여 사용하여도 된다.

<103> 도7b에서, 평판형 절연재(701)에 드릴링에 의해 비아홀(704)을 가공한다. 이때 비아홀은 바람직하게는 기계적 드릴링을 사용한다. 비아홀(704)의 직경은 회로층과의 접속을 고려하여 접속될 회로층의 비아홀의 직경과 거의 동일하게 가공되며, 바람직하게는 직경이 약 0.15 $\text{mm}$  정도 되도록 가공하는 것이 바람직하다.

<104> 도7c에서, 비아홀(704)을 도전성 페이스트(705)로 충진한다. 이때 충진되는 도전성 페이스트에는 페이스트 전체가 도전성을 갖는 금속 결합형 페이스트를 사용할 수 있다.

<105> 이 중 금속 결합형 페이스트는 접착성이 있는 수지에 주석(Sn) 성분을 침투시킨 것으로서 열이 가해지면 결합될 비아홀 내벽 또는 회로 패턴들과 주석 성분이 금속 결합을 일으키며 접속된다.

<106> 본 발명에 따른 절연층 형성에 있어서 절연층의 비아홀에 충진되는 도전성 페이스트로 (705)는 금속 결합형 페이스트를 사용하는 것이 바람직하다.

<107> 그리고 나서, 도7d에서 이형 필름(702)을 제거한다. 이형 필름(702)이 제거되면 프리플렉(703) 위로 도전성 페이스트(705)가 돌출되게 되며 이때 돌출되는 도전성 페이스트(705)의 높이는 이형 필름(702)의 두께에 따라 달라지게 된다. 본 발명에서 두께가 약 38 $\mu$ m 정도인 이형 필름(702)을 사용하는 경우, 그에 따라 돌출되는 도전성 페이스트(705)의 높이도 약 38 $\mu$ m 정도가 된다.

<108> 이와 같은 공정에 의해 형성된 절연층(707)은 본 발명에 따른 도8의 회로층들 (206a, 206b, 206c) 사이에 삽입되는 절연층 들(607a, 607b) 중 하나를 대신하여 사용될 수 있다

<109> 도8에서, 앞서 도5a 내지 도5f를 참조하여 설명된 방법에 의해 제조된 회로층 (506a, 506b, 506c)과 도6a 내지 도6d 또는 도7a 내지 도7d를 참조하여 설명된 방법에 의해 제조된 절연층(607 또는 707)을 도8에 도시된 바와 같이 교대로 배열한다. 이때, 양면에 회로 패턴이 형성된 회로층(506a)은 중심에 오도록 배치하고, 윗면에 회로 패턴이 형성된 회로층 (506b)은 맨 위에 오도록 배치하며, 아랫면에 회로 패턴이 형성된 회로층(506c)은 맨 아래에 오도록 배치한다.

<110> 배치된 층들을 비아홀들이 정확하게 매칭되도록 맞추고 다듬기 위해 타겟팅 및 핀(pin) 정합 방법 등이 사용된다.

<111> 타겟팅이란 기판의 적층후에 드릴 가공의 기준점인 내층의 '타깃 가이드 마크'에 타겟 구멍을 가공하는 공정으로 보통 X-Ray에 의한 타겟 드릴을 사용한다.

<112> 핀(Pin)방식이란 층간정합의 기준이 되는 홀 즉, 가이드 홀을 비아홀 가공시 다수의 기판 상의 동일한 소정의 위치에 가공하여 레이업(Lay-Up)할때 핀(Pin)에 홀이 가공된 회로층, 절연층을 삽입하여 회로층과 절연층 위치를 정합하는 방식을 말한다.

<113> 그리고 나서, 압착 프레스에 의해 도8의 화살표 방향으로 압착하면, 도9에 도시된 바와 같이 내층에는 회로 패턴이 형성되고, 층외각층에는 회로 패턴이 형성되지 않은 형태의 6층 짜리 인쇄회로기판이 된다.

<114> 적층된 각 층들을 한 장의 인쇄회로기판으로 만드는 프레스로는 '열 프레스'가 많이 사용된다. 이는 적층된 기판을 케이스에 넣고 진공 챔버의 상하에서 열판에 끼워 가압/가열하는 방법으로 적층을 행한다. 이 방법을 VHL(Vacuum Hydraulic Lamination)법이라고 한다.

<115> 이와 같이 프레스 공정시에는 기판에 열이 가해지므로 절연층(506a,506b,506c)의 비아홀을 채우고 있는 도전성 페이스트(606)가 유동성을 갖게 되고 도9의 점선으로 표시된 바와 같이 압착에 의해 비어 있는 회로층의 비아홀로 밀려 들어가서 회로 패턴과 연결됨으로써 회로층과 절연층이 접속된다.

<116> 이와 같은 본 발명에 따른 회로층과 절연층의 접속 방법에 의하면 종래의 병렬적 인쇄회로기판 제조 방법 또는 빌드업 방식의 인쇄회로기판 제조 방법에 비해 회로층과 절연층의 비아홀 간의 전기적 접촉면이 넓어지기 때문에 전기 전도도 및 접속 신뢰도가 향상된다.

<117> 그리고 나서, 바람직하게는 압착에 의해 층외각층(506b,506c)의 비아홀을 통해 외부로 흘러나온 도전성 페이스트를 제거하는 버핑(buffing) 공정 및 적층이 완료된 기판의 가장자리에 흘러나온 수지와 동박을 닦아 제품의 긁힘 및 안전사고를 예방하기 위한 트리밍 처리를 행한다.

<118> 그리고 나서, 도10에서 최외각층에 회로 패턴을 형성하면 6층 짜리 인쇄회로기판이 완성 된다. 회로 패턴 형성은 에칭 레지스트 도포, 에칭 레지스트 패턴 형성 및 에칭 등의 공정을 거쳐 수행된다. 에칭 레지스트로는 드라이 필름을 사용하는 것이 바람직하다. 당업자라면 회로 패턴 형성 방법으로서 위와 같은 에칭에 의한 방법 이외에도 다양한 방법들이 사용될 수 있음을 이해할 수 있을 것이다.

<119> 최외각층에 회로 패턴을 형성하고 나면, 최외각층에 형성된 회로 패턴 중 다른 기판 또는 소자와 전기적으로 접속되지 않을 부위에는 솔더 레지스트를 도포하고, 전기적으로 접속될 부분에는 외부에 노출된 동박 부위가 산화되는 것을 방지하고, 실장되는 부품의 납땜성을 향상시키며, 좋은 전도성을 부여하기 위한 표면처리를 행하는 것이 바람직하다.

<120> 이와 같이, 최외각층의 회로 패턴을 내층의 회로 패턴과 달리 가장 나중에 행하는 이유는 최외각층의 회로 패턴을 완료한 상태에서 일괄 적층을 하게 되면, 최외각층에 이미 회로 패턴이 형성되어 있기 때문에 비아홀을 통해 밀려나온 도전성 페이스트를 제거하는 버핑(buffing) 공정을 수행함으로써 형성되어진 회로패턴에 손상을 주어 불량을 유발 할 수 있기 때문이다.

<121> 소위 빌드업 방식으로 제조된 다층 인쇄회로기판의 경우는, 하나의 양면 인쇄회로기판에 절연층이 적층되고 그 위에 단면 인쇄회로기판이 차례로 적층된 구조를 갖게 되지만, 본 발명의 병렬적 제조 방법에 따라 제조된 다층 인쇄회로기판의 경우에는 복수개의 양면 인쇄회로기판이 절연층을 사이에 두고 연속적으로 적층된 구조를 갖는다.

<122> 또한, 종래의 병렬적 또는 일괄적층 방식 다층 인쇄회로기판 제조 방법에 의해 제조된 다층인쇄회로기판에서는 회로층의 비아홀이 도금에 의해 충진되어 있거나 또는 도전성 페이스

트에 의해 충진된 상태에서 절연층과 프레스 등에 의해 결합되므로 절연층의 비아홀을 채우고 있는 페이스트와 회로층의 비아홀을 채우고 있는 도금층 또는 페이스트가 구별된다.

<123> 이러한 차이점에 의해 완성된 인쇄회로기판의 단면을 보면 그 인쇄회로기판이 어떠한 제조 방식으로 제조되었는지 판별할 수 있다.

### 【발명의 효과】

<124> 본 발명의 다층 인쇄회로기판 제조 방법에 따르면, 회로층의 충진을 위한 도금 공정 또는 페이스트 풀러징 공정이 불필요하므로 종래의 다층 인쇄회로기판 제조 방법에 비해 원가가 절감되고, 공정에 소요되는 시간이 단축된다.

<125> 또한, 본 발명의 다층 인쇄회로기판 제조 방법에 따르면, 층간 Connection(Paste vs Copper)에 있어 회로층과 절연층의 비아홀간의 접촉 면적이 증가됨으로써 전기 전도도 및 접합 신뢰성이 향상된다.

<126> 이상의 발명의 상세한 설명은 본 발명에 따른 다층 인쇄회로기판의 제조방법의 하나의 실시예에 불과한 것으로서, 본 발명은 상기한 실시예에 한정되지 않고, 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 이하의 특허청구범위의 해석에 따라 정의되는 본 발명의 범위 내에서 다양한 변형이 가능하다.

**【특허청구범위】****【청구항 1】**

- A. (a) 동박적충판에 비아홀을 가공하는 단계;
- (b) 상기 동박적충판 및 비아홀의 내벽을 동도금하는 단계; 및
- (c) 상기 동박적충판에 회로 패턴을 형성하는 단계를 포함하는 소정 수의 회로층을 형성하는 단계;

- B. (a) 이형필름이 부착된 평판형 절연재에 비아홀을 가공하는 단계;
- (b) 상기 비아홀을 도전성 페이스트로 충진하는 단계; 및
- (c) 상기 이형 필름을 제거하는 단계를 포함하는 소정수의 절연층을 형성하는 단계;

및

- C. 상기 회로층과 절연층을 교대로 기(既) 설정된 위치에 배치하는 단계;

- D. 상기 배치된 회로층 및 절연층을 압착하는 단계; 및

- E. 상기 압착된 기판의 최외각층에 회로 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 병렬적 다층 인쇄회로기판 제조 방법.

**【청구항 2】**

제1항에 있어서,

상기 회로층을 형성하는 단계는,

최외각층에 배치될 회로층에는 한쪽면에만 회로 패턴을 형성하고, 내층에 배치될 회로층에는 양쪽면에 회로패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 병렬적 다층 인쇄회로기판 제조 방법.

**【청구항 3】**

제1항에 있어서,

상기 회로층을 형성하는 단계는,

표면 처리하는 단계를 더 포함하는 것을 특징으로 하는 병렬적 다층 인쇄회로기판 제조 방법.

**【청구항 4】**

제1항에 있어서,

드릴 가공의 기준점인 내층의 '타겟 가이드 마크'에 타겟 구멍을 가공하는 단계를 더 포함하는 것을 특징으로 하는 병렬적 다층 인쇄회로기판 제조 방법.

**【청구항 5】**

제1항에 있어서,

상기 회로층 및 절연층의 비아홀을 가공하는 단계는 층간정합의 기준이 되는 가이드 홀을 상기 복수의 층의 동일한 위치에 가공하는 단계를 포함하는 것을 특징으로 하는 병렬적 다층 인쇄회로기판 제조 방법.

**【청구항 6】**

제1항에 있어서,

C. 상기 회로층과 절연층을 교대로 기(既) 설정된 위치에 배치하는 단계 후에,  
최외각층의 비아홀을 통해 흘러 나온 도전성 페이스트를 제거하는 버핑(buffing) 단계를 더 포함하는 것을 특징으로 하는 병렬적 다층 인쇄회로기판 제조 방법.

**【청구항 7】**

제1항에 있어서,

상기 이형 필름의 두께는 20~50 $\mu\text{m}$  인 것을 특징으로 하는 다층 인쇄회로기판 제조 방법.

**【청구항 8】**

제1항에 있어서,

상기 도전성 페이스트에는 주석 성분이 함침된 금속 결합형 도전성 페이스트인 것을 특징으로 하는 다층 인쇄회로기판 제조 방법.

**【청구항 9】**

제1항에 있어서,

상기 도전성 페이스트는 점접촉형의 도전성 페이스트인 것을 특징으로 하는 다층 인쇄회로기판 제조 방법.

**【청구항 10】**

제1항에 있어서,

상기 평판형 절연재는 완전 경화 상태(c-stage)의 수지 양면에 적층된 반경화 상태(b-stage)의 수지층으로 구성되는 것을 특징으로 하는 다층 인쇄회로기판 제조 방법.

**【청구항 11】**

각각 도전성 페이스트가 충진된 복수의 비아홀을 포함하는 복수의 회로층 및 복수의 절연층을 포함하며, 상기 회로층의 비아홀에 충진된 페이스트와 상기 절연층에 충진된 페이스트가 동일 공정에 의해 충진된 것을 특징으로 하는 다층 인쇄회로기판.

【청구항 12】

제11항에 있어서,

상기 도전성 페이스트는 주석 성분이 함침된 금속 결합형 도전성 페이스트인 것을 특징으로 하는 다층 인쇄회로기판.

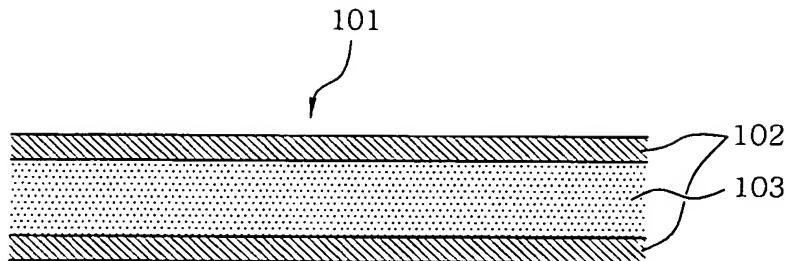
【청구항 13】

제11항에 있어서,

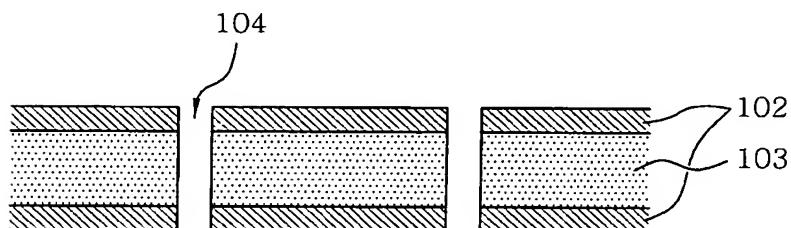
상기 도전성 페이스트는 점접촉형의 도전성 페이스트인 것을 특징으로 하는 다층 인쇄회로기판 제조 방법.

## 【도면】

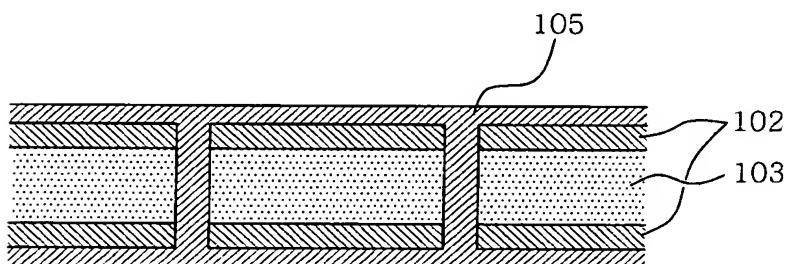
【도 1a】



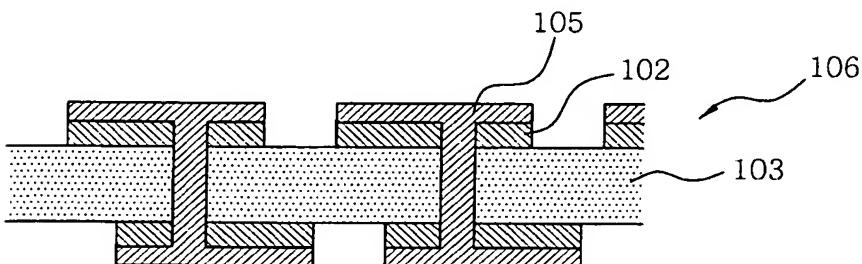
【도 1b】



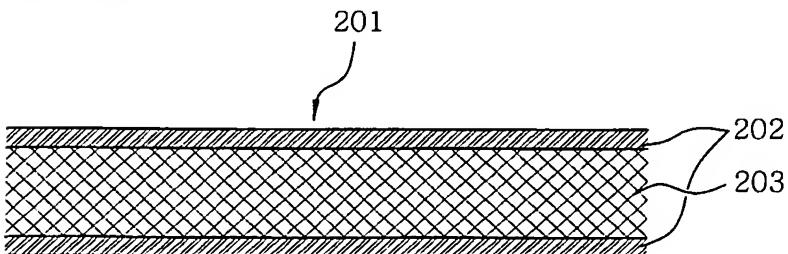
【도 1c】



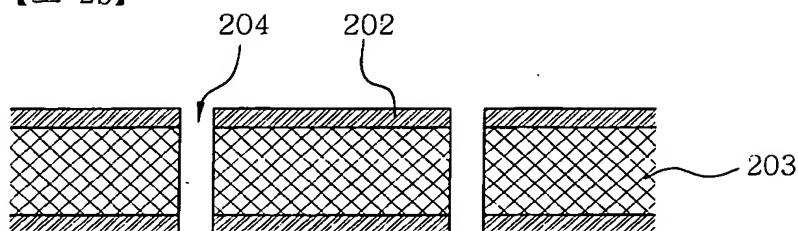
【도 1d】



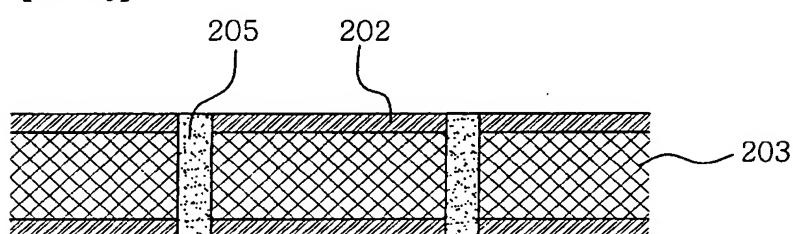
【도 2a】



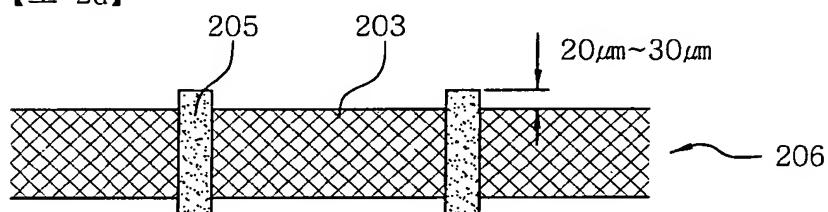
【도 2b】



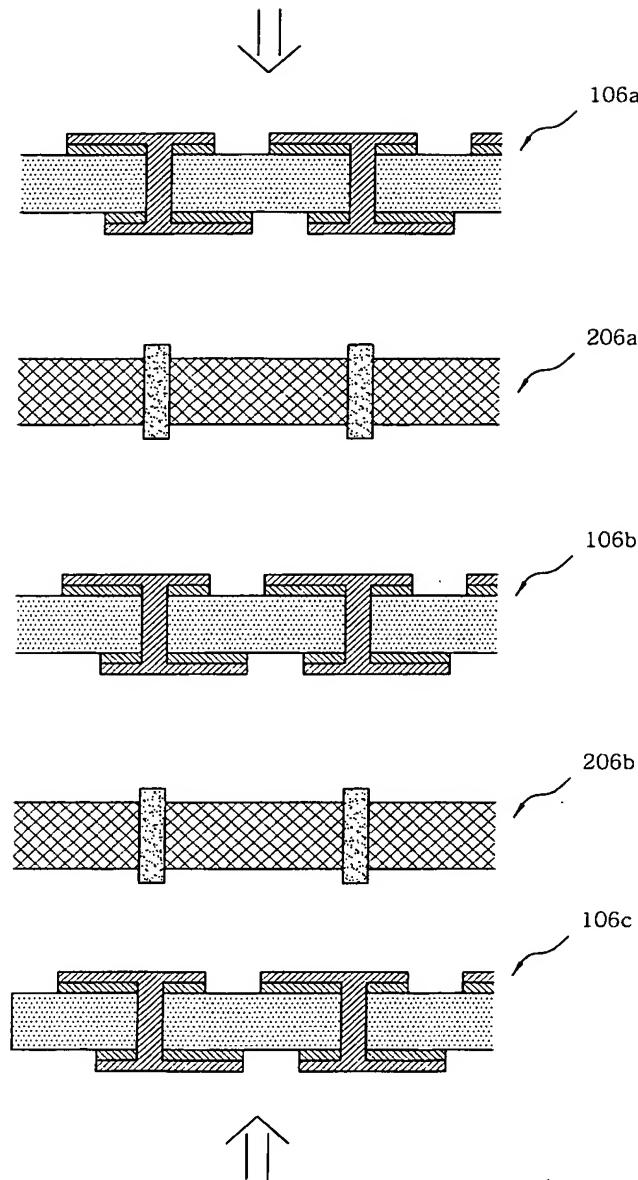
【도 2c】



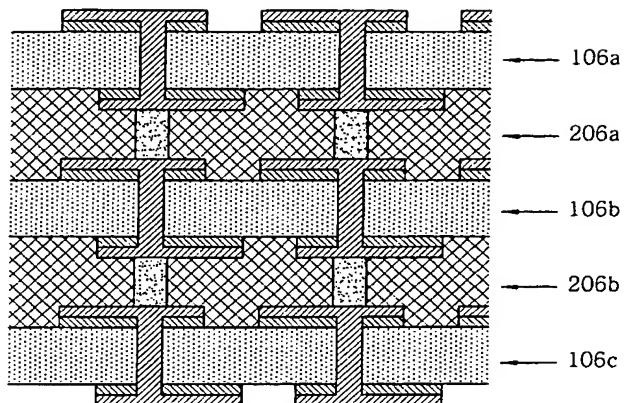
【도 2d】



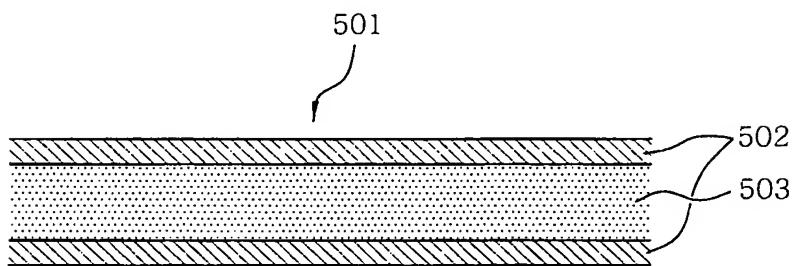
## 【도 3】



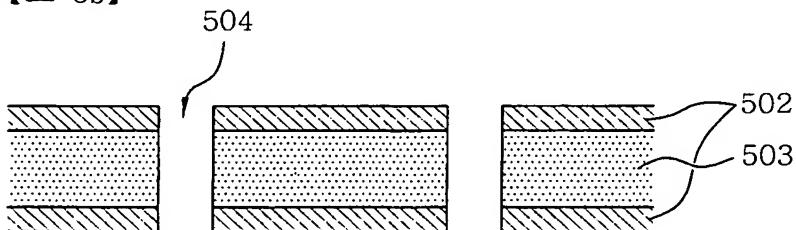
【도 4】



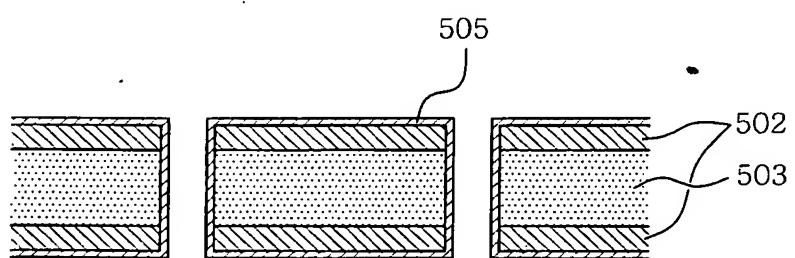
【도 5a】



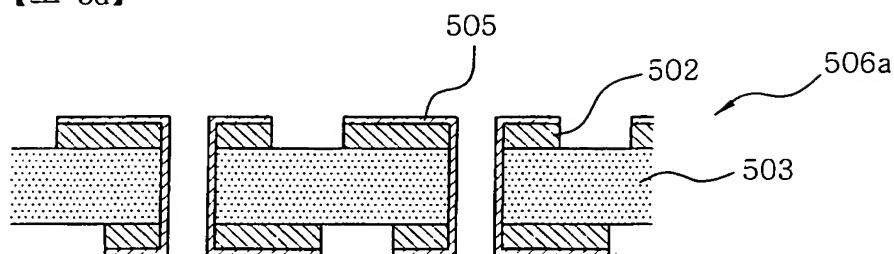
【도 5b】



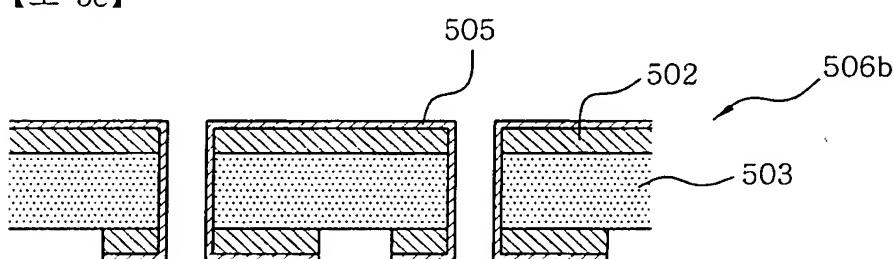
【도 5c】



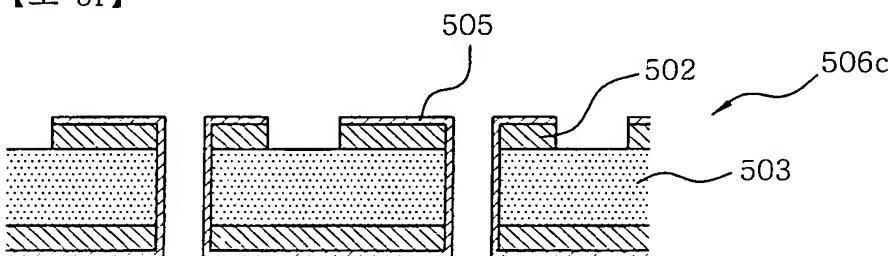
【도 5d】



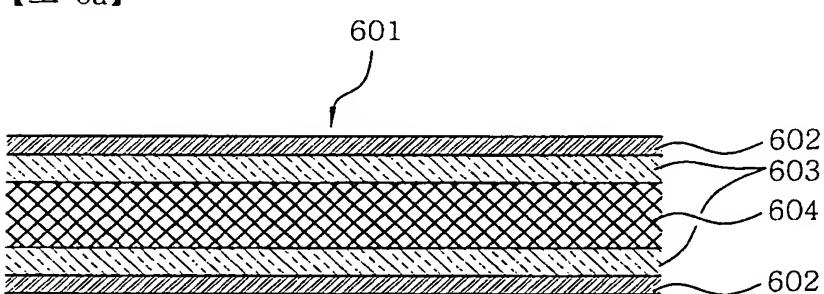
【도 5e】



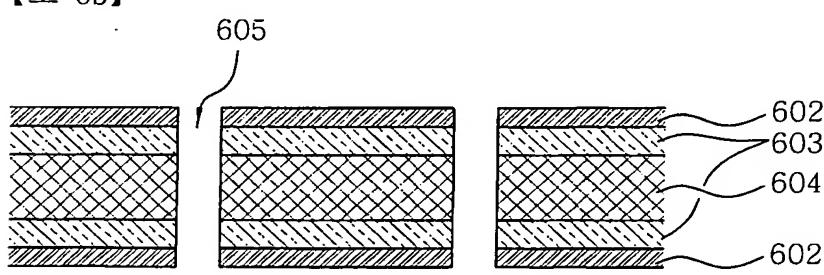
【도 5f】



【도 6a】



【도 6b】

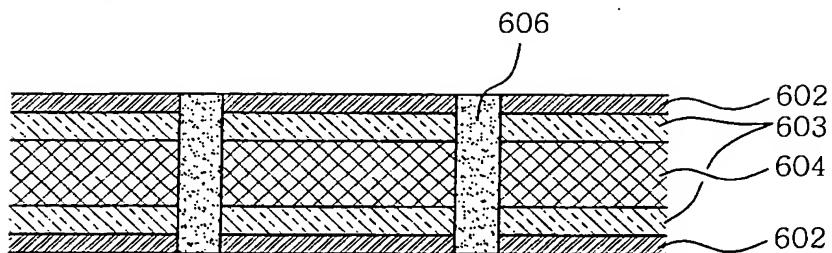




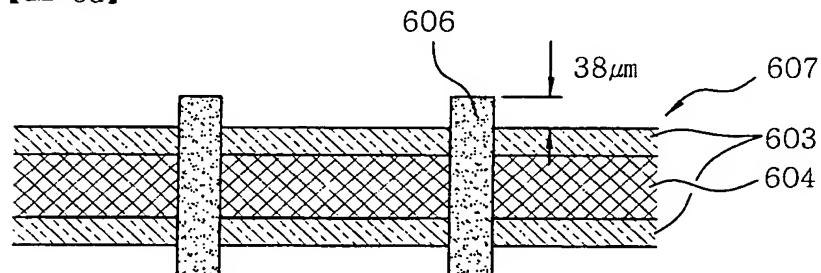
1020030073097

출력 일자: 2003/10/30

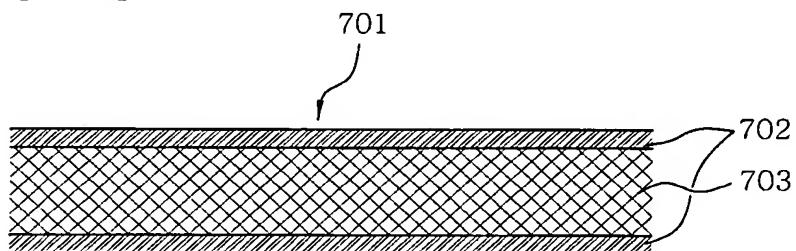
【도 6c】



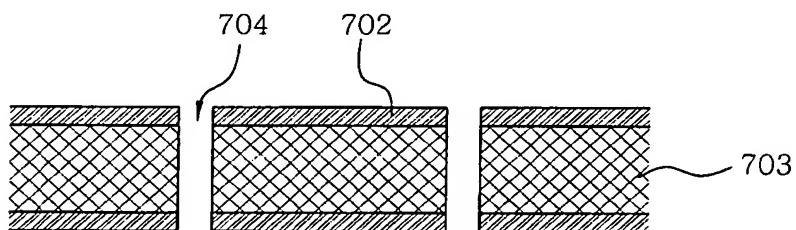
【도 6d】



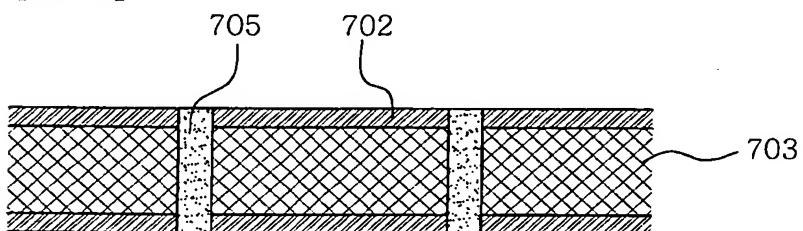
【도 7a】



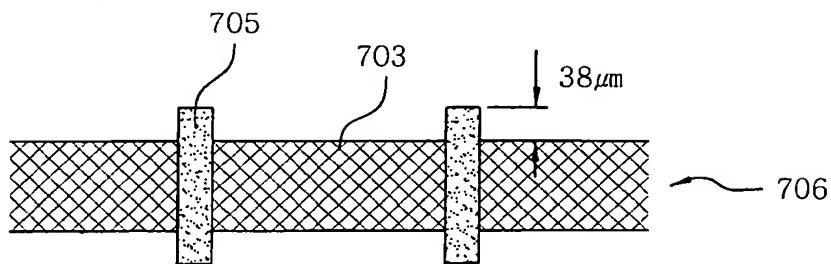
【도 7b】



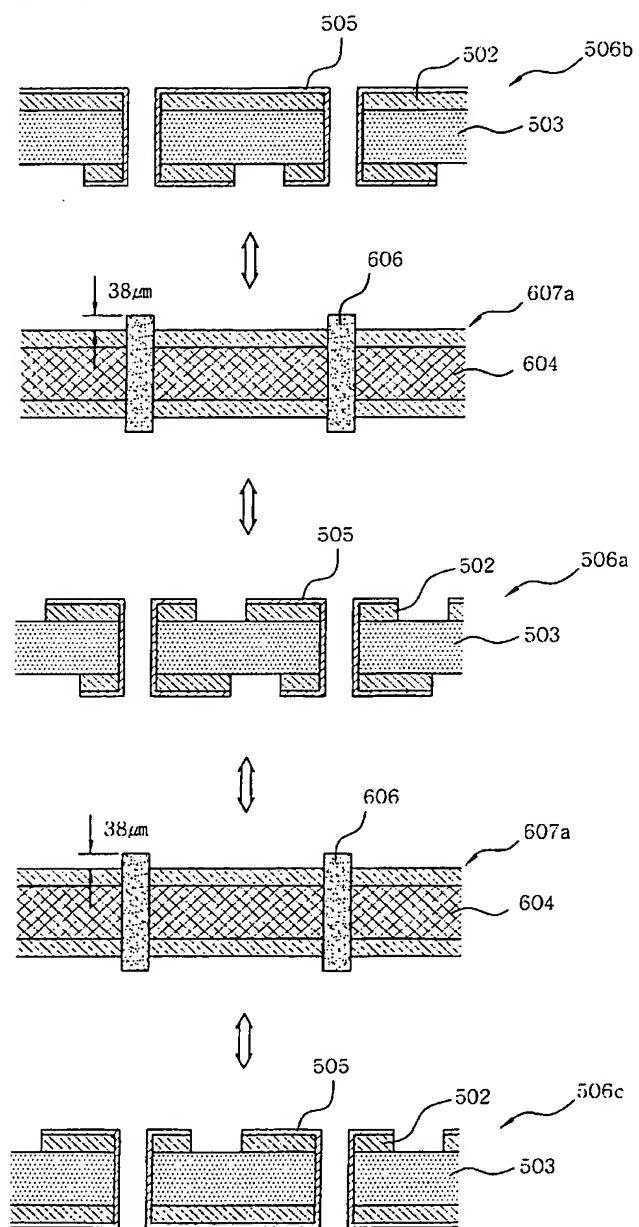
【도 7c】



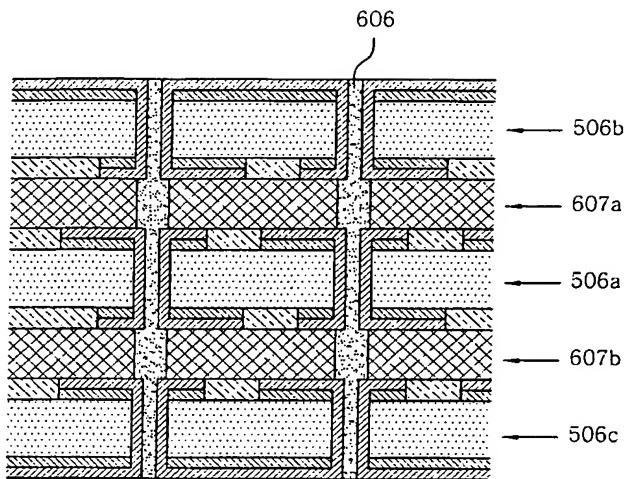
【도 7d】



【도 8】



【도 9】



【도 10】

